

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

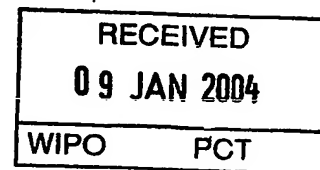
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 0 月 1 5 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 3 0 1 0 5 9  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 3 0 1 0 5 9 ]

出 願 人            住友化学工業株式会社  
Applicant(s):

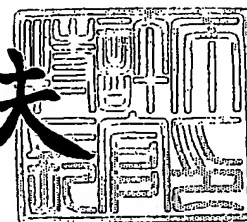


**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 3 年   9 月   2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 154928

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/331

【発明者】

    【住所又は居所】 茨城県つくば市北原 6 番 住友化学工業株式会社内

    【氏名】 秦 雅彦

【特許出願人】

    【識別番号】 000002093

    【氏名又は名称】 住友化学工業株式会社

【代理人】

    【識別番号】 100077540

    【弁理士】

    【氏名又は名称】 高野 昌俊

【手数料の表示】

    【予納台帳番号】 060336

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0013944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜結晶ウェーハの製造方法及び半導体デバイス並びにその製造方法

【特許請求の範囲】

【請求項 1】 3-5 族化合物半導体単結晶を用いた半導体デバイスにおいて、

n 型にドーピングされた 3-5 族化合物半導体単結晶エピタキシャル層と、  
該 3-5 族化合物半導体単結晶エピタキシャル層上に形成された Si 層と、  
該 Si 層上に電子用オーミック電極として形成された金属電極と  
を備えて成ることを特徴とする半導体デバイス。

【請求項 2】 3-5 族化合物半導体単結晶を用いた半導体デバイスにおいて、

p 型にドーピングされた 3-5 族化合物半導体単結晶エピタキシャル層と、  
該 3-5 族化合物半導体単結晶エピタキシャル層上に形成された Si 層と、  
該 Si 層上に正孔用オーミック電極として形成された金属電極と  
を備えて成ることを特徴とする半導体デバイスが。

【請求項 3】 前記 3-5 族化合物半導体単結晶が GaAs、InGaAs、及び InP のうちのいずれか 1 つの単結晶である請求項 1 又は 2 記載の半導体デバイス。

【請求項 4】 前記 Si 層が、前記 3-5 族化合物半導体単結晶エピタキシャル層上にエピタキシャルに成長させた単結晶層である請求項 1、2 又は 3 記載の半導体デバイス。

【請求項 5】 前記 Si 層が、前記 3-5 族化合物半導体単結晶エピタキシャル層上に多結晶層またはアモルファス層として形成されている請求項 1、2 又は 3 記載の半導体デバイス。

【請求項 6】 3-5 族化合物半導体デバイス用の薄膜結晶ウェーハの製造方法において、

半導体基板上に所要の化合物半導体薄膜結晶層をエピタキシャル成長によって

積層して 3-5 族化合物半導体単結晶を得る工程と該 3-5 族化合物半導体単結晶上に Si 層をエピタキシャル成長によって成膜する工程とを同一のエピタキシャル成長炉内において行うようにしたことを特徴とする薄膜結晶ウェーハの製造方法。

【請求項 7】 前記エピタキシャル生成が、有機金属気相エピタキシャル成長法 (MOVPE 法) 又は分子線エピタキシー法 (MBE 法) である請求項 6 記載の薄膜結晶ウェーハの製造方法。

【請求項 8】 前記 3-5 族化合物半導体単結晶が GaAs 単結晶である請求項 6 記載の薄膜結晶ウェーハの製造方法。

【請求項 9】 前記 Si 層を成膜する場合に前記 Si 層に接合する前記 3-5 族化合物半導体単結晶の薄膜層に Si による n 型ドーピングが行われるようにした請求項 6 記載の薄膜結晶ウェーハの製造方法。

【請求項 10】 前記 Si 層を成膜する場合に前記 Si 層に接合する前記 3-5 族化合物半導体単結晶の薄膜層の As により前記 Si 層が n 型ドーピングされるようにした請求項 6 記載の薄膜結晶ウェーハの製造方法。

【請求項 11】 前記 Si 層を単結晶層、多結晶層、またアモルファス層として形成するようにした請求項 6、7、8、9、又は 10 記載の薄膜結晶ウェーハの製造方法。

【請求項 12】 3-5 族化合物半導体単結晶を用いた半導体デバイスの製造方法において、

半導体基板上に所要の化合物半導体薄膜結晶層をエピタキシャル成長によって積層して 3-5 族化合物半導体単結晶を得る工程と該 3-5 族化合物半導体単結晶上に Si 層をエピタキシャル成長によって成膜する工程とを同一のエピタキシャル成長炉内において行った後、該 Si 層上にオーミック電極として働く金属電極を形成するようにしたことを特徴とする半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表面安定性に優れた半導体ウェーハの製造方法及びこれを用いた良

好なオーミック電極特性を有する半導体デバイス並びにその製造方法に関するものである。

#### 【0002】

##### 【従来の技術】

GaAs、GaP、GaN等の3-5族化合物半導体結晶が、マイクロ波帯以上の高周波領域で使用される高速電子素子又は各種発光ダイオード等の発光素子の如き半導体デバイスの製造のために広く用いられている。上述の如き化合物半導体結晶を利用して半導体デバイスを製造する場合半導体結晶自身の電気的特性が重要であることは勿論であるが、デバイス応用の観点からは、半導体結晶を外部デバイスと電気的に接続するための電極部分の電気的特性も重要である。すなわち、外部デバイスとの間で電流を効率よく流すことができるオーミック接続を得ることができる電極の形成が重要な技術的課題となってきた。

#### 【0003】

一般には、半導体における伝導帯準位または価電子帯準位と電極金属の仕事関数とは異なることが多いため、電極を介して半導体結晶内に電流を円滑に流し込むためには目的の半導体層の帯構造に適合した仕事関数を持つ電極材料を選ぶ必要がある。

#### 【0004】

しかし、半導体結晶に取り付ける電極の材料を上述の如き観点から選択したとしても、半導体結晶の表面の不安定性のために電位障壁が生じこれが電流の円滑な流れを阻害することになるという問題がある。例えば、GaAs系化合物半導体の場合、高密度の表面欠陥準位が自然に形成され、同欠陥準位付近にフェルミ準位が固定され、かつ同準位が禁制帯内に形成されるために表面付近に電位障壁となる空乏層が形成されることが多い。このことは使用する電極金属の種類によらず一定の空乏層が発生することを意味し、この空乏層の影響により電極の材料を適切に選択したとしても、理想的なオーミック特性を得ることが事実上困難になっている。

#### 【0005】

この問題に対処するため、従来においては、半導体結晶と電極との間に、禁制

帯幅が小さく電位障壁の小さい InGaAs 等の結晶層を電極接続層として形成し、電極と半導体結晶との間のエネルギーギャップを緩和する構成、あるいは不純物添加濃度を上げると空乏層厚さが薄くなることを利用し、電極からの電流がトンネル効果により半導体結晶に円滑に流れる程度に空乏層が薄くなるまで多量の不純物を添加するようにした構成が公知である。

#### 【0006】

##### 【発明が解決しようとする課題】

しかし、InGaAs 層を電極接続層として設ける構成によると、半導体結晶の最上層に形成されている GaAs 層の上に、これと格子定数の異なる InGaAs 層等を形成することとなるので、出来上がった半導体デバイス内に無理な圧縮又は引張応力が作用することとなる。このため、歪が発生したり、表面形態が悪化したりするので、微細なパターニングに対して断線その他の不具合が生じるという問題を有している。一方、電位障壁となる空乏層の厚さを不純物の大量添加により薄くする方法によると、熱的安定性を損なうこととなり、出来上がった半導体デバイスの動作が不安定になるなどして半導体デバイスの動作の信頼性が低下することになるという問題点を有している。

#### 【0007】

本発明の目的は、従来技術における上述の問題点を解決することができるようにした、表面安定性に優れた半導体ウェーハの製造方法及びこれを用いた良好なオーミック電極特性を有する半導体デバイス並びにその製造方法を提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

上記課題を解決するため、本発明では、GaAs を含む 3-5 族化合物半導体単結晶上に適宜の結晶構造の Si 層を積層することにより、表面安定性に優れ、且つ良好なオーミック電極特性を有する半導体積層構造を得ることができるようにしたものである。

#### 【0009】

請求項 1 の発明によれば、3-5 族化合物半導体単結晶を用いた半導体デバイ

スにおいて、 $n$ 型にドーピングされた 3-5 族化合物半導体単結晶エピタキシャル層と、該 3-5 族化合物半導体単結晶エピタキシャル層上に形成された Si 層と、該 Si 層上に電子用オーミック電極として形成された金属電極とを備えて成ることを特徴とする半導体デバイスが提案される。

#### 【0010】

請求項 2 の発明によれば、3-5 族化合物半導体単結晶を用いた半導体デバイスにおいて、 $p$ 型にドーピングされた 3-5 族化合物半導体単結晶エピタキシャル層と、該 3-5 族化合物半導体単結晶エピタキシャル層上に形成された Si 層と、該 Si 層上に正孔用オーミック電極として形成された金属電極とを備えて成ることを特徴とする半導体デバイスが提案される。

#### 【0011】

請求項 3 の発明によれば、請求項 1 又は 2 の発明において、前記 3-5 族化合物半導体単結晶が GaAs、InGaAs、及び InP のうちのいずれか 1 つの単結晶である半導体デバイスが提案される。

#### 【0012】

請求項 4 の発明によれば、請求項 1、2 又は 3 の発明において、前記 Si 層が、前記 3-5 族化合物半導体単結晶エピタキシャル層上にエピタキシャルに成長させた単結晶層である半導体デバイスが提案される。

#### 【0013】

請求項 5 の発明によれば、請求項 1、2 又は 3 の発明において、前記 Si 層が、前記 3-5 族化合物半導体単結晶エピタキシャル層上に多結晶層またはアモルファス層として形成されている半導体デバイスが提案される。

#### 【0014】

請求項 6 の発明によれば、3-5 族化合物半導体デバイス用の薄膜結晶ウェーハの製造方法において、半導体基板上に所要の化合物半導体薄膜結晶層をエピタキシャル成長によって積層して 3-5 族化合物半導体単結晶を得る工程と該 3-5 族化合物半導体単結晶上に Si 層をエピタキシャル成長によって成膜する工程とを同一のエピタキシャル成長炉内において行うようにしたことを特徴とする薄膜結晶ウェーハの製造方法が提案される。

## 【0015】

請求項7の発明によれば、請求項6の発明において、前記エピタキシャル生成が、有機金属気相エピタキシャル成長法（MOVPE法）又は分子線エピタキシー法（MBE法）である薄膜結晶ウェーハの製造方法が提案される。

## 【0016】

請求項8の発明によれば、請求項6の発明において、前記3-5族化合物半導体単結晶がGaAs単結晶である薄膜結晶ウェーハの製造方法が提案される。

## 【0017】

請求項9の発明によれば、請求項6の発明において、前記Si層を成膜する場合に前記Si層に接合する前記3-5族化合物半導体単結晶の薄膜層にSiによるn型ドーピングが行われるようにした薄膜結晶ウェーハの製造方法が提案される。

## 【0018】

請求項10の発明によれば、請求項6の発明において、前記Si層を成膜する場合に前記Si層に接合する前記3-5族化合物半導体単結晶の薄膜層のAsにより前記Si層がn型ドーピングされるようにした薄膜結晶ウェーハの製造方法が提案される。

## 【0019】

請求項11の発明によれば、請求項6、7、8、9、又は10の発明において、前記Si層を単結晶層、多結晶層、またアモルファス層として形成するようにした薄膜結晶ウェーハの製造方法が提案される。

## 【0020】

請求項12の発明によれば、3-5族化合物半導体単結晶を用いた半導体デバイスの製造方法において、半導体基板上に所要の化合物半導体薄膜結晶層をエピタキシャル成長によって積層して3-5族化合物半導体単結晶を得る工程と該3-5族化合物半導体単結晶上にSi層をエピタキシャル成長によって成膜する工程とを同一のエピタキシャル成長炉内において行った後、該Si層上にオーミック電極として働く金属電極を形成するようにしたことを特徴とする半導体デバイスの製造方法が提案される。

## 【0021】



3-5族化合物半導体単結晶エピタキシャル層上にSi層を形成することにより、3-5族化合物半導体単結晶エピタキシャル層表面に表面欠陥準位が形成されるのを抑制することができ、不要な電位障壁の形成を有効に防止できる。Si層は表面状態が平坦で且つ化学的安定性に優れているので、Si層に対して適切な仕事関数を有する金属、例えばアルミニウム等を用いて電極を形成することにより、良好なオーミック電極とすることができる。

#### 【0022】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。

#### 【0023】

図1には、本発明による半導体デバイスの実施の形態の一例が断面図にて示されている。図1に示した半導体デバイスは、3-5族化合物半導体結晶を用いて構成されたヘテロ接合バイポーラトランジスタ(HBT)1である。HBT1は、これによりHBT素子として機能するように構成されている公知の構成のHBT用の3-5族化合物半導体単結晶であるGaAs単結晶10を用いて構成されている。GaAs単結晶10は、GaAs基板2の上に有機金属気相エピタキシャル成長法(MOVPE法)又は分子線エピタキシー法(MBE法)等の適宜のエピタキシャル成長法によってバッファ層3～ $n^+$ -GaAs層(エミッタキャップ層)8を適宜のエピタキシャル成長炉内において順次積層形成して製造されたものである。

#### 【0024】

GaAs単結晶10の最上層である $n^+$ -GaAs層8はn型にドーピングされたGaAs層であり、 $n^+$ -GaAs層8の上にエミッタ電極をオーミック電極として設けるため、 $n^+$ -GaAs層8の上にはSi層11が積層形成され、Si層11の上にはアルミニウム(Al)から成る電極層12が電子用のオーミック電極として形成されている。

#### 【0025】

このように、化学的に不安定で表面欠陥準位が形成され易い $n^+$ -GaAs層8上にSi層11を積層形成することにより、 $n^+$ -GaAs層8に空乏層のよ

うな電位障壁が生じるのを有効に防止することができる。そして、Si層11上に、Siに対して良好なオーミック接続を得ることができるアルミニウムの電極12を形成することにより、電極12とn-InGaP層（エミッタ層）との間の良好なオーミック接続が確立される。

#### 【0026】

一般に、GaAs結晶は空気中で速やかに酸化されその時の結晶面の乱れにより形成される空乏層によって高密度の表面準位を生じ、良好なオーミック電極形成の妨げとなる。したがって、エピタキシャル成長炉中で $n^+$ -GaAs層8を成長させた後、引き続き同一のエピタキシャル成長炉中でSi層11をMOVPE法又はMBE法等によってエピタキシャル成長させることにより、不安な表面準位を生じさせることなしにSi/GaAsヘテロ接合を形成することができる。

#### 【0027】

具体的には、GaAs基板2の上に有機金属気相エピタキシャル成長法（MOVPE法）又は分子線エピタキシー法（MBE法）等の適宜のエピタキシャル成長法によってバッファ層3～ $n^+$ -GaAs層（エミッタキャップ層）8を適宜のエピタキシャル成長炉内において順次積層形成してGaAs単結晶10を形成した後、引き続きこのエピタキシャル成長炉内にシラン（ $\text{SiH}_4$ ）又はジシラン（ $\text{Si}_2\text{H}_6$ ）等のSi原料を供給し、上述した適宜のエピタキシャル成長法によってSi原料を熱分解し、これにより出来たSiを $n^+$ -GaAs層8上に成長させることによりSi層11を成長させるようにするのが好ましい。ここで、Si層11は、GaAs結晶である $n^+$ -GaAs層8上にエピタキシャル成長した単結晶層として形成するのが好ましい。しかし、Si層11は必ずしも単結晶層として形成することには限定されるものではなく、多結晶の形態、又はアモルファスの形態で形成してもよい。

#### 【0028】

ここで、オーミック接続をより一層効果的にするには、表面欠陥準位付近に固定されるフェルミ準位を考慮すると、As、P等によりSi層11をn型にドーピングするのが好ましい。また、Si層11の厚さは、臨界的ではないが、数十Å～

数百Åの範囲であることが望ましい。同様の理由で、 $n^+$ -GaAs層8にもn型ドーピングを施すことが望ましい。

#### 【0029】

GaAsとSiとの間には伝導帯端エネルギー準位に多少の差があるが、その差異は小さく、Si層11及び $n^+$ -GaAs層8の両層に上述のごとくしてn型ドーピングを行うことでその接合抵抗は無視しうるほどに小さく出来る。このn型ドーピングは、 $n^+$ -GaAs層8及びSi層11の各層に各々適切な手段で実施することができるが、特に意図的なドーピングを行わなくても、 $n^+$ -GaAs層8上にSi層11を形成する際に、 $n^+$ -GaAs層8とSi層11との間で加熱による相互拡散で各々十分な濃度のドーピング量を実現することができる。

#### 【0030】

Si層11は、表面が非常に安定で表面準位が小さいため、Si半導体技術に使用されているのと同様に適切な電子親和力を有する金属であるアルミニウムの使用によりSi層11と電極12との間で良好なオーミック接続が実現できる。この結果、電極12を介してGaAs単結晶10を外部のデバイスと電氣的に接続し、両者を良好にオーミック接続することができる。

#### 【0031】

上記実施の形態では、エミッタ電極の構成について説明したが、ベース層に対するベース電極及びコレクタ層に対するコレクタ電極の場合も、同様にして、良好なオーミック電極を設けることができる。また、半導体デバイスは、HBT素子に限定されるものではなく、発光ダイオード素子、HEMT素子等に広く適用できることは勿論である。

#### 【0032】

さらに、上記実施の形態では、電子用オーミック電極の場合を説明したが、本発明は正孔用オーミック電極についても同様に適用して同様の効果を得ることができる。

#### 【0033】

#### 【発明の効果】

本発明によれば、上述の如く、3-5族化合物半導体単結晶エピタキシャル層上にSi層を形成することにより、3-5族化合物半導体単結晶エピタキシャル層表面に表面欠陥準位が形成されるのを抑制することができ、不要な電位障壁の形成を有効に防止できる。そして、Si層は表面状態が平坦で且つ化学的安定性に優れているので、Si層に対して適切な仕事関数を有する金属、例えばアルミニウム等を用いて電極を形成することにより、Si層と電極との間を良好なオーミック接続状態とすることができる。この結果、電極を介して3-5族化合物半導体単結晶と外部デバイスとの間で電流を効率よく流すことができる。

【図面の簡単な説明】

【図1】

本発明による半導体デバイスの実施の形態の一例を示す断面図。

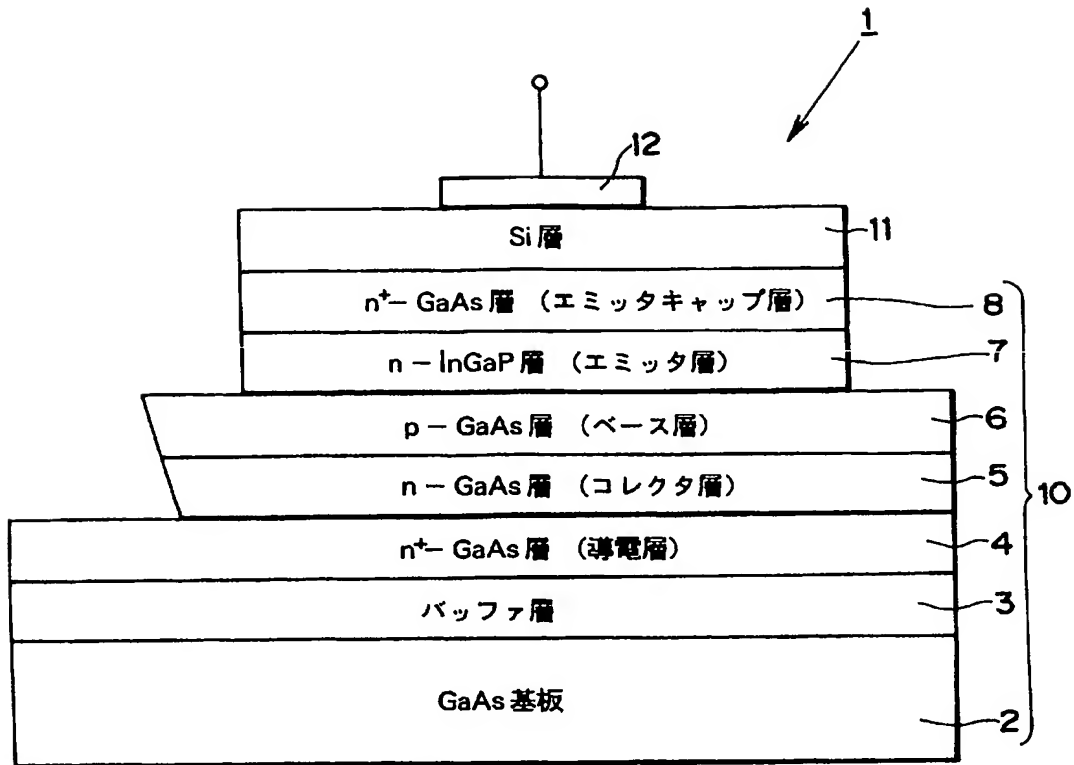
【符号の説明】

- 1 HBT
- 2 GaAs基板
- 3 バッファ層
- 8  $n^+$ -GaAs層
- 10 GaAs単結晶
- 11 Si層
- 12 電極

【書類名】

図面

【図 1】



【書類名】 要約書

【要約】

【課題】 GaAsを含む3-5族化合物半導体単結晶と外部接続用オーミック電極との間で電流を円滑に流すことができるようにすること。

【解決手段】 GaAs単結晶10の $n^+$ -GaAs層8をエピタキシャル成長により成膜した後、引き続きSi層11を同一のエピタキシャル成長炉内においてエピタキシャル成長させ、しかる後アルミニウムの電極12をオーミック電極としてSi層11上に形成する。Si層11によって $n^+$ -GaAs層8の表面に表面欠陥準位が形成されるのを抑制することができ、不要な電位障壁の形成を有効に防止できる。Si層11は表面状態が平坦で且つ化学的安定性に優れているので、Si層11に対して適切な仕事関数を有するアルミニウム等を用いて電極12を形成することにより、良好なオーミック電極とすることができる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 0 1 0 5 9
受付番号	5 0 2 0 1 5 5 1 4 4 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 0 月 1 6 日

< 認定情報・付加情報 >

【提出日】	平成14年10月15日
-------	-------------

次頁無

特願 2 0 0 2 - 3 0 1 0 5 9

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 2 0 9 3 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府大阪市中央区北浜 4 丁目 5 番 3 3 号

氏 名

住友化学工業株式会社



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**